

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-044936

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H02M 3/07
B41J 2/44

(21)Application number : 2000-224637 (71)Applicant : CANON INC

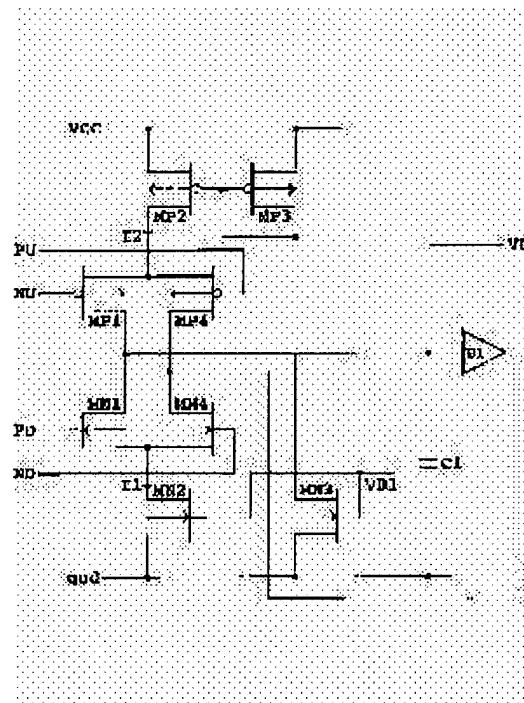
(22)Date of filing : 25.07.2000 (72)Inventor : KAWASAKI MOTOAKI

(54) CHARGE PUMP CIRCUIT AND LASER PRINT ENGINE USING THE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To materialize a configuration for a pixel-modulating circuit capable of adopting an LSI, as well as to materialize a high-accuracy digital signal process.

SOLUTION: A positive-polarity up-signal PU and a negative-polarity down- signal ND are respectively input to MP4/G and MN4/G, and MP4/S and MN4/S are respectively connected to MP1/S and MN1/S. MP4/D and MN4/D are connected, and a control voltage VC is connected to MP4/D (MN4/D) via an analogue buffer B1. MP1 turns into off-state, when the up-signal is not input (NU=H); but as a substitute for that, MP4 turns into on state to fix the MP1/S voltage to the immediately preceding the control voltage VC. Thereby, when the next up-signal is input (NU=L), an up-current 12 can be fed immediately for the control voltage VC, since there is no need for charging MP1/S.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-44936

(P2002-44936A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl.⁷

H 02 M 3/07
B 41 J 2/44

識別記号

F I

H 02 M 3/07
B 41 J 3/00

テ-マコ-ト(参考)

2 C 3 6 2
M 5 H 7 3 0

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21)出願番号

特願2000-224637(P2000-224637)

(22)出願日

平成12年7月25日(2000.7.25)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 川崎 泰明

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100077481

弁理士 谷 義一 (外1名)

Fターム(参考) 2C362 AA55 AA61 CA09 CA10 CA22

CA30 DA08

5H730 AA15 AA16 BB02 BB03 BB57

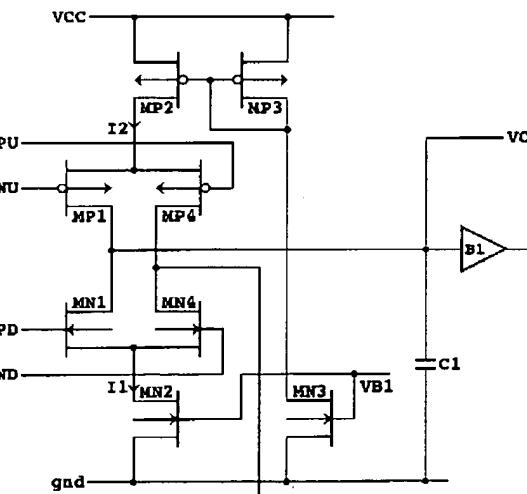
BB89 DD04 DD26 DD32 FD01

FG02

(54)【発明の名称】 チャージポンプ回路及びそれを用いたレーザ印画エンジン

(57)【要約】

【課題】 画素変調回路をLSI化可能な構成を実現す
るとともに、高精度デジタル信号処理を実現すること。
【解決手段】 正極アップ信号PU及び負極ダウン信号
NDは、MP4/G及びMN4/G入力され、MP4/
S及びMN4/Sは、それぞれMP1/S及びMN1/
Sに接続される。MP4/D及びMN4/Dは接続さ
れ、制御電圧VCは、アナログバッファB1を介してM
P4/D(MN4/D)に接続される。アップ信号が入
力されていない時(NU=H)、MP1はOFFになる
が、代わりにMP4がONして、MP1/S電圧を直前
の制御電圧VCに固定することができるため、次にアッ
プ信号が入力された時(NU=L)、MP1/Sの充電
動作が必要なくなるので直ちにアップ電流I2が制御電
圧VCのために供給することができる。



1

2

【特許請求の範囲】

【請求項1】 ゲートに第1の差動制御信号が入力されるソース端子が接続されたN型トランジスタペアと、ゲートに第2の差動制御信号が入力されるソース端子が接続されたP型トランジスタペアと、前記N型トランジスタペア及び前記P型トランジスタペアの互いの第1及び第2のドレインを接続し、前記N型トランジスタペアのソース端子に供給される第1の電流源と、前記P型トランジスタペアのソース端子に供給される第2の電流源を有し、前記第1のドレインの接続点の電圧を前記第2のドレイン接続点に供給したことを特徴とするチャージポンプ回路。

【請求項2】 前記第1の電流源と相関のある第3の電流源と、該第3の電流源と接続された前記第2の電流源と相関のある第4の電流源を設け、前記第1のドレインの接続点の電圧を代表する電圧になるように前記第4の電流源を制御したことを特徴とする請求項1に記載のチャージポンプ回路。

【請求項3】 前記N型トランジスタペアと前記P型トランジスタペアとの間のトランジスタサイズと同じ又は同等にしたことを特徴とする請求項1又は2に記載のチャージポンプ回路。

【請求項4】 アップ電流源作成回路を設けたことを特徴とする請求項1、2又は3に記載のチャージポンプ回路。

【請求項5】 レーザ光量変調によって印画紙に画像を再生するレーザ印画エンジンにおいて、請求項1、2、3又は4に記載のいずれかのチャージポンプ回路を含んだことを特徴とするレーザ印画エンジン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チャージポンプ回路及びそれを用いたレーザ印画エンジンに関し、より詳細には、レーザ印画エンジンの信号処理回路のPLL回路などに使用されるアップ／ダウン2種類のパルス信号を入力して制御信号を発生するチャージポンプ回路及びそれを用いたレーザ印画エンジンに関する。

【0002】

【従来の技術】一般に、レーザ印画エンジンは、PLL回路などに使用されるアップ／ダウン2種類のパルス信号を入力して制御信号を発生するチャージポンプ回路を使用して信号処理しているシステムである。まず、レーザ印画エンジンについてカラー機を例として説明する。

【0003】レーザー印画エンジンはカラー化の要望が強いが、一般に、Ye、Cy、Mg、Bkの4色トナーを用いた印画プロセスは、白黒に比べてそのままでは4倍の印画時間を要してしまう。このため、使用される感光ドラムを各色に設けた4ドラム化と、レーザも一挙に2ライン書き込みできる2ビーム化を併用する印画エンジンで対応することになる。

【0004】図11は、前述した4ドラム機の概略図であり、感光ドラム32a～32dがインラインに配置されて4色ごとの専用になり、印画紙18に順次各色トナーが転写されてカラー画像が再生される。各感光ドラムには、図10で示す静電潜像を形成するためのレーザビーム光量による画像書き込み部が設けられる。

【0005】（画像書き込み部の説明）図10は、レーザ印画エンジンにおける画像書き込み部の構成図である。レーザチップ13は、レーザーダイオードa、bを有する2ビームタイプのものであり、各バック光を受光するフォトダイオードcから構成されている。各レーザーダイオードを発光制御する駆動電流Id1、Id2は、LDドライバ14より供給される。フォトダイオードからの発光量を検出したモニター電流Imは、LDドライバ14に入力されてレーザーダイオードa、bの発光量のAPC（オートパワーコントロール）を行う。

【0006】レーザチップ35は、2つのレーザ発光点間隔を1画素間隔(600dpiで約42μm)に素子製作上できない。このため、図12に示すように、格子線で示される画素領域に対して、図示のようにレーザ走査方向に、例えば16画素離れた位置に2つのビームが発生するように斜め配置しておく。レーザーチップ13から発生した変調レーザービームは、モータ軸に固定されて図中の矢印方向への回転するポリゴンミラー8によって偏光され、感光ドラム32上に変調レーザービームを走査する。

【0007】f-θレンズ9は、偏光された変調レーザビームを感光ドラム10上に線速度一定に集光するためのものである。感光ドラム10及び印画トナーを予め所定の静電帯電しておくと、感光ドラム10上における照射光量に応じて印画トナーの付着量が変わるために中間調画像の印画が可能になる。BDミラー11は、感光ドラム10と機械的に位置関係が固定されており、BDミラー11からの反射レーザビームは、受光ダイオード12に入力され、感光ドラム10上の情報書き込み開始位置を検出するために使用される。受光ダイオード12の出力は、水平同期信号発生回路16に入力されて水平同期信号BDを発生する。

【0008】BD信号は、画素変調回路15に入力される。画素変調回路15には後述するPLL回路が含まれており、水平同期信号BDに同期した画素クロックまたはその係数倍クロックを発生する。この画素クロックをもとに画素データを読み取るためのリードクロックRK1、RK2を画素データ発生部17に入力する。画素データ発生部17は画素変調回路15に対して、画素データD1、D2及び各々のライトクロックWK1、WK2を出力する。入力された画素データをもとに所望のレーザ光量変調を可能にする画素変調信号ON1、ON2をLDドライバ14に出力する。

【0009】画素変調回路15は、4ドラム／2ビーム

機に対応するためには8個搭載しなければならない。したがって、画素変調回路37は、性能、回路規模、安定性、コスト等からシステムLSI化が必須である。ところで、画素変調回路15はデジタル信号処理回路であり、図5で示すようなPLL回路が含まれているのが一般的である。

【0010】図5の構成は、一般的なPLL回路と同じく可変周波数発振器5と位相比較回路2、チャージポンプ回路3及び可変Gmアンプ4を含んで構成されている。また、図5のPLL回路では、これ以外に周波数制御データDFが入力された周波数シンセサイザ制御回路30が含まれている。これは、図11で示した4ドラムレーザ印画エンジンでは、各感光ドラム32a～32dに対するレーザ走査範囲が機械精度等でバラツキ各色の画サイズに誤差が生じ色モワレ等の画質上の問題を対応するためのものである。つまり、図5で作成された画素周波数またはその遅倍周波数のクロック信号を周波数制御することによって画サイズを制御するものである。当然、周波数シンセサイザ制御回路53は、レーザ印画エンジンの種類によっては周波数シンセサイザ制御回路53は必要ない。

【0011】レーザ印画エンジンをカラー化する場合、画像の階調性再現が重要な機能として要望される。レーザ印画エンジンでは、一般に、階調性再現はレーザ光量変調を画素周期内のパルス幅変調で行う。このため、図6に示す画素クロックまたはその遅倍クロックを入力とする画素周期内を細分化する多相クロックK0～K7を発生するディレーチェーンループ(DLL)回路を使い、画素周期内の高精度なパルス幅光量変調を画素変調回路15で行っている。

【0012】(画素クロックまたは遅倍クロックを発生するPLL回路の説明)図5は、基準クロック信号に対して遅倍クロックを発生するPLL回路の一例を示す図である。可変遅延回路(例は差動信号タイプ)DL0～DL3で構成された可変周波数発振器5は、制御電流IVによって制御された周波数のクロックK0～K7を出力する。クロックK0～K7は、周波数シンセサイザ制御回路30に入力され、周波数制御データDFによって制御された比較クロックKVを出力して位相比較回路2に入力される。

【0013】一方、基準クロック信号は、位相比較器2に基準信号Rとして入力される。位相比較器の動作を簡単に述べると、信号VのアップタイミングでダウンパルスPDが立ち上がり、信号RのアップタイミングでアップパルスPUが立ち上がり、信号VまたはRが遅れて到達したタイミングにおいて、所定時間△t後信号PU及びPDをリセットするものである。

【0014】図7は、位相比較器出力を示すタイムチャートである。図(a)は、信号Vが進んでいる場合であり、信号PDパルス幅が大きくなる。図(b)は、信号

Vと信号Rの位相が一致している場合、信号PD及びPUのパルス幅は各々等しく最小値△tとなる。図(c)は、信号Vが遅れている場合であり、信号PUのパルス幅が大きくなる。アップ及びダウンパルスは、各々チャージポンプ回路3に入力されて制御電圧信号VCを出力する。

【0015】図4は、MOS素子で構成した従来のチャージポンプ回路を示す図である。図4では、負極アップパルスNUと正極ダウンパルスが入力される。バイアスVB1はMN2/Gに入力され、MN2/Dに電流I1を発生させてMN1/Sに供給する。MN1/Gには信号PDが入力される。一方、バイアスVB1はMN3/Gに入力され、MN3/D電流はMP3及びMP2からなるカレントミラー回路によってMP2/Dに電流I2を発生してMP1/S供給する。MP1/Gには信号NUが供給され、MP1/D、MN1/D及び容量C1(無くても良い)が接続されて制御電圧VCを出力する。制御電圧VCが平衡する条件を簡単示すと

$$I_1 \times T_1 = I_2 \times T_2 \quad \dots (1)$$

20 T1 : 信号PDのパルス幅

T2 : 信号NUのパルス幅

(I1=I2)にして回路が理想的に動作したとすると、図7(b)に示すように、基準信号Rと比較信号Vの位相が一致したときが平衡条件になる。

【0016】制御電圧VCは、電流変換回路4によって制御電流ICを可変周波数発振器5に入力して発振周波数を制御する。制御電圧VC端子には抵抗Rdump及び容量Coが接続されており、抵抗値Rdumpによって交流ループゲインを制御してループの安定性を確保するためのものであり必須のものではない。以上説明したように図5のPLL回路は基準クロック信号に位相同期した遅倍クロック信号を発生できるものである。

【0017】(多相クロック信号を発生するPLL回路)図6は、入力差動クロック信号(CK/CKB)に対してクロック周期T0内を等分割した多相クロックを発生させるPLL回路を示す図である。クロックCKは、入力電流に応じて遅延時間が変化する可変遅延回路DL0～DL8を所定数(9個)だけ繰り返したディレーチェーン回路7に入力され、多相差動クロック信号K0～K7を出力する。最小遅延タップ出力K0は、位相比較器2の基準信号Rとして入力され、最大遅延タップ出力K8は比較信号Vとして入力される。

【0018】以後、図5のPLL回路と同じくチャージポンプ回路3及び電流変換回路4を介して制御電流ICをディレーチェーン回路7に入力して、これに含まれる制御遅延回路の遅延時間を制御する。制御電圧VCが平衡する条件は、信号K0とK8の位相が一致した時のみである。この時、多相クロック信号K0～K7は、クロック周期T0内を等分割した多相クロックであり、カラーレーザ印画エンジンに有効な高精度パルス幅変調に使

用される。

【0019】

【発明が解決しようとする課題】しかしながら、このような従来のチャージポンプ回路は、以下に示すような課題をもっている。

【0020】まず、図4の従来のチャージポンプ回路において、信号PD及びNUが入力されない時、各々MN1及びMP1はOFFしており、供給されている電流I1及びI2によりMN1/S及びMP1/SはそれぞれGND及びVCC電圧になり、MN2及びMP2から電流は供給されていない。この状態から信号PD(またはNU)が入力されるとMN1がONして、まず、MN1/Sが直前の制御電圧VCになるまで充電するために、この過渡期間において電流I1を使用されて制御電圧VCの制御に使用できない。もし、信号PD及びNUの最小パルス幅△tがこの期間より小さいと、制御不能な位相誤差範囲(不感帯)が存在することになる。この不感帯を除くためには、最小パルス幅△tを大きくする必要があり、制御電圧VCのリップルが大きくなつてジッタ等に望ましくない。

【0021】また、P型トランジスタの電流駆動能力は、N型に比べて半分程度なので、P型ゲート幅サイズをN型の2倍程度にしなければならない。このため高速動作において失われる過渡電流がMP1がMN1より大きくなるため、制御電圧VCの平衡条件が、図7(c)に示すように、アップパルス幅をダウンパルス幅より大きく条件となる。上述した過渡電流が、N型素子とP型素子でバランスしていないので、平衡条件における基準信号Rと比較信号Vのロック位相誤差を引き起こす。これは、図5のPLSI回路では過倍クロック位相を制御できることになり、使用条件を限定することになる。図6のPLSI回路では、多相クロックのタイミング間隔が不正確になって著しく機能を低下してしまう。

【0022】さらに、(MN2、MN3)及び(MP2、MP3)の素子ペアのソースドレイン間電圧のアンバランスにより、アップ電流I2及びダウン電流I1の電流バランスを確保することができない。以上の課題は、高速動作になるにしたがって顕著になる。また、制御電圧VC値によっても変動してしまう。

【0023】本発明は、このような問題に鑑みてなされたもので、その目的とするところは、画素変調回路をLSI化可能な構成を実現するとともに、高精度デジタル信号処理を実現するためのチャージポンプ回路及びそれを用いたレーザ印画エンジンを提供することにある。

【0024】

【課題を解決するための手段】本発明は、このような目的を達成するために、請求項1に記載の発明は、ゲートに第1の差動制御信号が入力されるソース端子が接続されたN型トランジスタペアと、ゲートに第2の差動制御信号が入力されるソース端子が接続されたP型トランジ

スタペアと、前記N型トランジスタペア及び前記P型トランジスタペアの互いの第1及び第2のドレインを接続し、前記N型トランジスタペアのソース端子に供給される第1の電流源と、前記P型トランジスタペアのソース端子に供給される第2の電流源を有し、前記第1のドレインの接続点の電圧を前記第2のドレイン接続点に供給したことを特徴とするものである。

【0025】また、請求項2に記載の発明は、前記第1の電流源と相関のある第3の電流源と、該第3の電流源と接続された前記第2の電流源と相関のある第4の電流源を設け、前記第1のドレインの接続点の電圧を代表する電圧になるように前記第4の電流源を制御したことを特徴とするものである。

【0026】また、請求項3に記載の発明は、前記N型トランジスタペアと前記P型トランジスタペアとの間のトランジスタサイズを同じ又は同等にしたことを特徴とするものである。

【0027】また、請求項4に記載の発明は、アップ電流源作成回路を設けたことを特徴とするものである。

【0028】また、請求項5に記載の発明は、レーザ光量変調によって印画紙に画像を再生するレーザ印画エンジンにおいて、請求項1、2、3又は4に記載のいずれかのチャージポンプ回路を含んだことを特徴とするレーザ印画エンジンである。

【0029】このように本発明は、4ドラム/2ビーム機用の画素変調回路15をLSI化可能な構成を実現して、ここで使用されるチャージポンプ回路を構成したことによって、高精度デジタル信号処理を実現したものである。

【0030】

【発明の実施の形態】以下、図面を参照して本発明の実施例について説明する。図13は、本発明のチャージポンプ回路を使用した遅延回路を搭載4ドラム/2ビームレーザ印画エンジン用の画素変調回路をシステムLSI化した構成例を示す図である。図13の画素変調LSIは、チャージポンプ回路を必要とするPLSI回路及びDLI回路を含んでいる。

【0031】(4ドラム/2ビーム対応の画素変調LSIの説明)基準クロックCKは、周波数シンセサイザとしても機能する図5に示すチャージポンプ回路3を含むPLSI回路21に入力され、画素クロック周波数の4倍の各々1/8周期位相がずれた(1/32画素ずれた)8相クロックバスKを出力する。画素位置設定データDSはPLSI回路21に入力されており、画素位置設定データDSにおける画素周波数設定データDFを使用する。PLSI回路21の8相クロック発生する可変周波数発振回路5の制御電流IV0を出力する。

【0032】水平同期信号BDは、所定数の遅延回路を使用したディレーチェーン回路と、出力される多相BD信号を選択する選択回路から構成される。そして、画素

位置設定データD SによってBD信号を所定の遅延制御する。BD遅延回路19は、制御電流I v 0が入力されおり、PLL回路21内の可変周波数発振回路5に使用している可変遅延回路と同等構成で、各遅延回路の接続点からは互いに1/32画素タイミングがずれたBD信号が発生している。ここでは画素位置設定データD Sの内のドラム間の絶対画素位置設定データRGの微調整ビットが使用されて、所望のBD信号に遅延制御してドラム間画素位置合わせを1/32画素まで微調整できる。

【0033】出力BD信号は、水平同期信号分離回路20に入力され、図14に示すように、先行レーザ用水平同期信号HD1と後行レーザ用水平同期信号HD2に分離される。水平同期信号HD1、HD2は、各々同期クロックジェネレータ22a、22bにPLL回路21出力の8相クロックバスKとともにに入力される。各同期クロックジェネレータは、入力HD信号に同期した同期クロック信号S CK1、S CK2を出力する。各クロックの同期精度は1/32画素である。1ドラム/1ビーム機における同期精度は1/8画素程度で十分であったが、4ドラム/2ビーム機の場合、色ずれは直ちに色モワレや色調を変化させるため同期クロックジェネレータ特性に対する要求は高くなる。

【0034】カラー印画エンジンの場合、画像の階調再現は重要であるため、一般に、PWM画素変調が用いられる。また、デジタル画像処理に柔軟に対応するため、図15(b)に示すように、画素(T_o)32分割によって変調を行う。しかしながら、1ビーム当たり32ビットの画素データは膨大であり実現不能である。このため、画素データD1、D2は、6ビットデータとして書き込みクロックWK1、WK2とともに32ビット展開のデータデコーダ24a、24bに入力する。データデコーダ24a、24bは、例えば、64アドレス/32ビットのSRAMであり、格納データは、ユーザが前もって所望値に設定しておく。

【0035】データデコーダ24a、24bの出力の32ビットデータを、図15(a)に示すように、シリアル変換するわけである。例えば、画素周波数が25MHz(40ns)であったとすると、変調精度は1.25nsと非常に高精度な信号処理が要求される。画素周波数は更に上昇される傾向にある。同期クロックジェネレータ22a、22bの出力の同期クロックS CK1、S CK2及びHRB1、HRB2は、各々タイムベース回路23a、23bに入力される。タイムベース回路23bには、PLL回路21におけるVCO回路に使用されている可変遅延回路と同等の可変遅延回路が縦横に接続されたディレーチーン回路が含まれており、各々の接続点に各々1/32画素ずれた画素クロックが発生しており、入力される画素位置設定データD Sの中の相対画素位置設定データRPによってビーム間隔を高精度に調整

できる。これは2ビームレーザチップの斜め配置の誤差により、図12の矢印で示されるビームスポット間隔の誤差を補正するものである。

【0036】さらに、タイムベース回路23a、23bでは、ドラム間画素位置合わせにおける粗調のために、絶対画素位置設定データRGの上位ビットが使用される。タイムベース回路23a、23bの出力信号バスK1、K2の内容を図16に示す。DK0、DK1は、データデコーダ24a、24bにおけるSRAMの読出し10タイミングを用クロックとして使用される。X0~X3は(32⇒8)ビットデータ変換回路25a、25bに入力され、図15(a)で示す8ビットデータDVに変換される。図17で示すクロック遅延時間は、TdをBD遅延回路19で行われる分を含んで表すと、設定データRG、RPを各5ビットとすると以下の式で示される。

$$Td1 = Td(0) + RG(4:0) \times (To/32)$$

$$Td2 = Td(0) + RG(4:0) \times (To/32) + RP(4:0) \times (To/32)$$

【0037】上記式から理解できるように、画素データDV1、DV2の位相は1/32画素の精度で位相制御20できる。このタイミングで最終的にデータ変調すれば所望の画素変調が実現できる。これによって、4ドラム機における各ドラム間の画素位置ズレに対しても対応できる。(32⇒8)ビットデータ変換回路25a、25bの各8ビットデータDV1、DV2は、高速シリアル変調回路27a、27bに入力される。

【0038】一方、同期クロックSK1、SK2は、図6で示すような、遅延回路DL0~DL8、位相比較回路2、チャージポンプ回路3及び可変Gmアンプ4から構成されるDL L回路26a、26bに入力されて、多相クロックバスK3、K4を高速シリアル変調回路27a、27bに出力する。DL L制御によって各々の遅延量が1/32画素になるように制御された8相クロックが発生する構成になっており、図15(b)で示す32ビットシリアル画素変調信号ON1A、ON2Aを可能にしている。32ビットシリアル変調信号ON1A、ON2Aは、パルス幅付加回路28a、28bに入力する。レーザダイオードは、電流を供給しても発光原理に起因して直ちに発光せずに遅延して発光し、電流を遮断すると直ちに消光する。この様子を図17(a), (b)に示す。

【0039】図17(a)示す画素変調駆動電流がレーザに供給された時、図17(b)のように発光期間減少する(細る)。P2の様に狭パルスであると発光しなくなり、正常な発光制御が実現できない。パルス幅付加回路28a、28bはこの問題を対応するため設けられている。画素変調信号は、差動信号(P0/N0)に変換されて入力される。画素変調信号は、立ち上がり及び立ち下りエッジで各々分周され、図17(c), (d)のパルス信号を発生させる。図17(d)の信号を(c)の信号に対して所望の発光遅延時間Tdだけ遅延させると、

図17(e)になる。

【0040】使用する遅延回路をD L L回路と相関のある構成にすれば、D L L回路の制御電流I v 1及びI v 2を使って制御信号によって係数倍制御電流を発生させて安定した遅延時間を得ることができる。図17(c)と(e)のパルス信号のEXORを取ると、図17(f)の各画素パルスにTdだけパルスを附加した画素変調信号得られ、図17(g)のように所望の光量変調が実現される。

【0041】パルス幅追加回路28a、28bの出力の画素変調信号ON1B、ON2Bは、出力ドライバ29a、29bに入力され、画素変調信号ON1、ON2をLDドライバ14に出力する。画素変調パルス信号のパルス幅精度は、<1nsの高精度を要求されるため、小信号差動出力タイプが使用される。以上説明した画素変調回路にチャージポンプ回路を必要とするブロックとして、PLL回路21、DLL回路26a、26bあるばかりでなく、このチャージポンプ回路による制御に特性が依存するブロックとしてBD遅延回路19、タイムベース回路23b、パルス幅付加回路28a、28bが上げられる。

【0042】このようにチャージポンプ回路の動作に依存して、画素変調回路をはじめとする高精度デジタル信号処理は実現されている。図13で示す画素変調システムは、CMOSのLSIプロセスで実現可能であり、高集積化が期待できるものである。

【0043】(本発明のチャージポンプ回路の説明)図1は、本発明のチャージポンプ回路の一実施例を示す回路図で、ゲートに第1の差動制御信号PD、NDが入力されるソース端子が接続されたN型トランジスタペアMN1、MN4と、ゲートに第2の差動制御信号PU、NUが入力されるソース端子が接続されたP型トランジスタペアMP1、MP4と、N型トランジスタペアMN1、MN4及びP型トランジスタペアMP1、MP4の互いの第1及び第2のドレインを接続し、N型トランジスタペアMN1、MN4のソース端子に供給される第1の電流源MN2と、P型トランジスタペアMP1、MP4のソース端子に供給される第2の電流源MP2を有し、第1のドレインの接続点の電圧を第2のドレイン接続点に供給するように構成されている。

【0044】また、第1の電流源MN2と相関のある第3の電流源MN3と、この第3の電流源MN3と接続された第2の電流源MP2と相関のある第4の電流源MP3を設け、第1のドレインの接続点の電圧を代表する電圧になるように第4の電流源MP3を制御するように構成されている。

【0045】また、N型トランジスタペアMN1、MN4とP型トランジスタペアMP1、MP4との間のトランジスタサイズを同じ又は同等にすることが望ましい。

【0046】図5に示したチャージポンプ回路3には、

アップ信号U及びダウン信号Dが各々差動信号で入力されている。信号U及び信号Dを発生する位相比較器2は、一般に、単相ロジック回路で構成されるため差動化回路が必要になる。

【0047】図8は、この差動化回路の構成例を示す図である。入力単相信号PIはインバータB2及びB4され、B3及びB6より各々正極出力PO及び負極出力NOが出力される。本発明を有効に動作させるためには、正確な差動信号を入力する必要がある。このためインバータB2とB3間にI7及びI8の出力開放インバータI7、I8が負荷されて遅延誤差(インバータ1個分)を補正して正確な差動信号を発生する。

【0048】図9は、他の差動化回路の構成例を示す図で、この場合、遅延誤差をインバータB9及びB10によって1個づつ徐々に補正してより細い入力パルスに対応できる。いずれにしても差動化回路は容易に実現できる。

【0049】次に、図4の従来のチャージポンプ回路との差異について以下に説明する。正極アップ信号PU及び負極ダウン信号NDは、MP4/G及びMN4/G入力される。MP4/S及びMN4/Sは、それぞれMP1/S及びMN1/Sに接続される。また、MP4/D及びMN4/Dは接続され、制御電圧VCは、アナログバッファB1を介してMP4/D(MN4/D)に接続される。この構成にすると、例えば、アップ信号が入力されていない時(NU=H)、MP1はOFFになるが、代わりにMP4がONして、従来問題であったMP1/S電圧を直前の制御電圧VCに固定することができるため、次にアップ信号が入力された時(NU=L)、MP1/Sの充電動作が必要なくなるので直ちにアップ電流I2が制御電圧VCのために供給することができる。ダウン信号に対しても同様な動作を行う。以上説明した動作は、制御電圧値VCに関わりなく行うことができる。

【0050】図2は、図1のチャージポンプ回路を更に改良したものである。図1との差異について以下に説明する。図1との差は、アップ電流作成回路1が追加されたことである。バイアスVB1は、MN3/Gにも入力され、ダウン電流I1に相關のある電流をMN3/Dに発生する。一方、制御電圧VCを代表するバイアスVB2が入力されMP3、MP5、MP6、MN5、MN6、MN7から構成されるフィードバックアンプによってMN5/Gを電圧VB2に制御する。このため、MP3/Dにはダウン電流I1と相關のある電流が作成され、MP3と共にゲート電圧のMP2/Dにはダウン電流I1と相關のあるアップ電流I2が作成される。バイアスVB2を運用される制御電圧VCに対して適切に設定すると、MP3及びMP2のVdsがほぼ等しくなり、アップ電流I2とダウン電流I1の相關の精度が向上する。この動作は、直接的にP型素子の電流駆動能力

11

によって決定されないため、P型素子サイズ(MP2、MP1)をN型素子サイズ(MN2、MN1)と、例えば等しくして交流(過渡)特性に関しても相関を取ることが可能になる。

【0051】図3は、図2のチャージポンプ回路においてアナログバッファB1の構成例を示した図である。制御電圧VCは、制御対象である可変周波数発振器及びディレーチェーン回路の素子バラツキ及び環境変化に対応するため大きく低電圧から高電圧に変動する。このため、MP7、MP8、MN8、MN9、MN10からなる高電圧側を受け持つバッファと、MP9、MP10、MP11、MP12、MN11、MN12、MN13からなる低電圧側を受け持つバッファと協力して制御電圧VCを正確にバッファするようとする。

【0052】

【発明の効果】以上説明したように本発明によれば、ゲートに第1の差動制御信号が入力されるソース端子が接続されたN型トランジスタペアと、ゲートに第2の差動制御信号が入力されるソース端子が接続されたP型トランジスタペアと、N型トランジスタペア及びP型トランジスタペアの互いの第1及び第2のドレインを接続し、N型トランジスタペアのソース端子に供給される第1の電流源と、P型トランジスタペアのソース端子に供給される第2の電流源を有し、第1のドレインの接続点の電圧を第2のドレイン接続点に供給したので、微小パルス幅のアップ及びダウン信号においても正確なチャージポンプ動作が可能になり、可変周波数発振器や複数の可変遅延回路を制御するPLL回路に使用した場合、高速動作においても正確かつ安定な位相制御動作が行うことが可能になる。これによりレーザ印画エンジンに使用される画素変調回路を例とする高精度デジタル信号処理回路は、容易にシステムLSI内で実現でき、コスト/性能/安定性を一挙に達成できる。

【図面の簡単な説明】

【図1】本発明のチャージポンプ回路の一実施例を示した回路図である。

【図2】本発明のチャージポンプ回路の他の実施例を示した回路図である。

【図3】本発明のチャージポンプ回路のさらに他の実施例を示した回路図である。

【図4】従来のチャージポンプ回路を示した回路図である。

【図5】第1のPLL回路を示し回路図である。

【図6】第2のPLL回路を示す回路図である。

【図7】チャージポンプ回路の動作を説明するためのタイムチャートである。

【図8】第1の差動化回路を示す回路図である。

【図9】第2の差動化回路を示す回路図である。

12

【図10】レーザ印画エンジンにおける画像書き込み部の構成図である。

【図11】4ドラムレーザ印画エンジンの概念図である。

【図12】2ビームレーザのレーザスポットの概念図である。

【図13】4ドラム/2ビーム機用の画素変調LSIのブロック図である。

【図14】水平同期信号分離回路の動作を説明するためのタイムチャートである。

【図15】画素変調信号を説明するためのタイムチャートである。

【図16】タイムベース回路の動作を説明するためのタイムチャートである。

【図17】パルス幅付加回路の動作を説明するためのタイムチャートである。

【符号の説明】

1 アップ電流源作成回路

2 位相比較回路

20 3 チャージポンプ回路

4 電流変換回路

5 可変周波数発振器

6 カウンタ

7 ディレーチェーン回路

8 ポリゴンミラー

9 f-θレンズ

10a~10d 感光ドラム

11 BDミラー

12 フォトディテクタ

30 13 レーザチップ

14 LDドライバ

15 画素変調回路

16 水平同期信号発生回路

17 画素データ発生部

18 印画紙

19 BD遅延回路

20 水平同期信号分離回路

21 PLL回路

22a, 22b 同期クロックジェネレータ

40 23a, 23b タイムベース回路

24a, 24b データデコーダ

25a, 25b 32⇒8ビットデータ変換回路

26a, 26b DLL回路

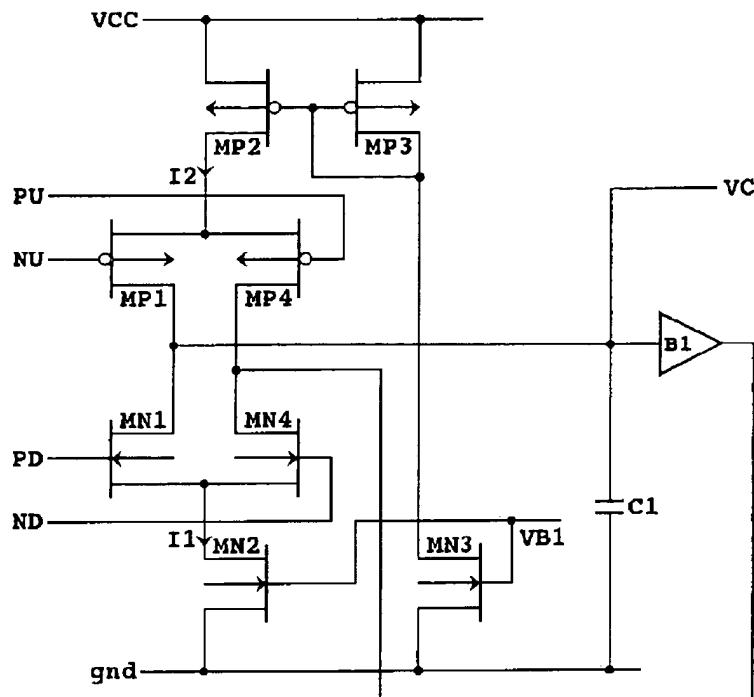
27a, 27b 高精度変調回路

28a, 28b パルス幅付加回路

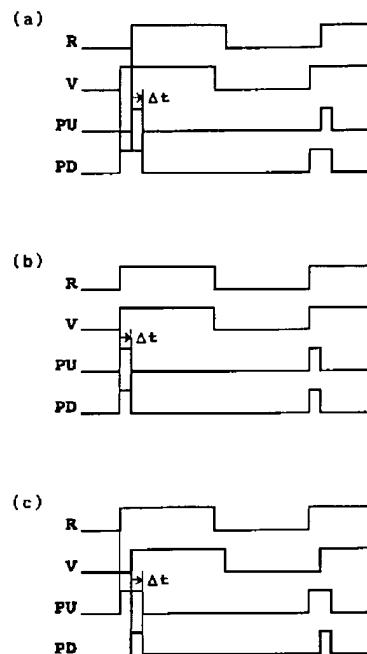
29a, 29b 高速出力ドライバ

30 周波数制御回路

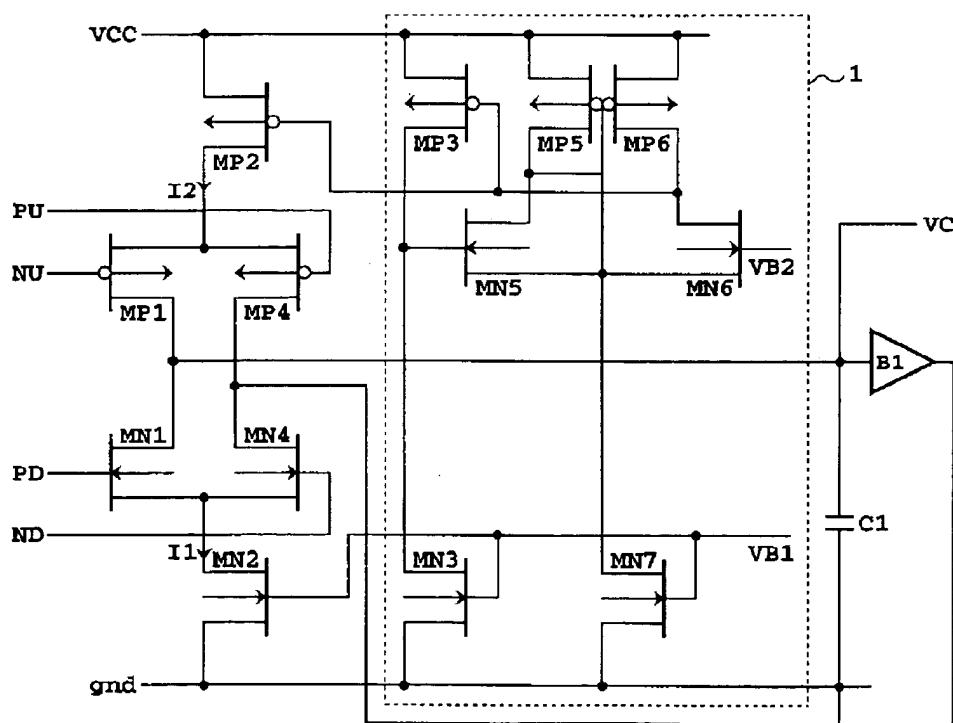
【図1】



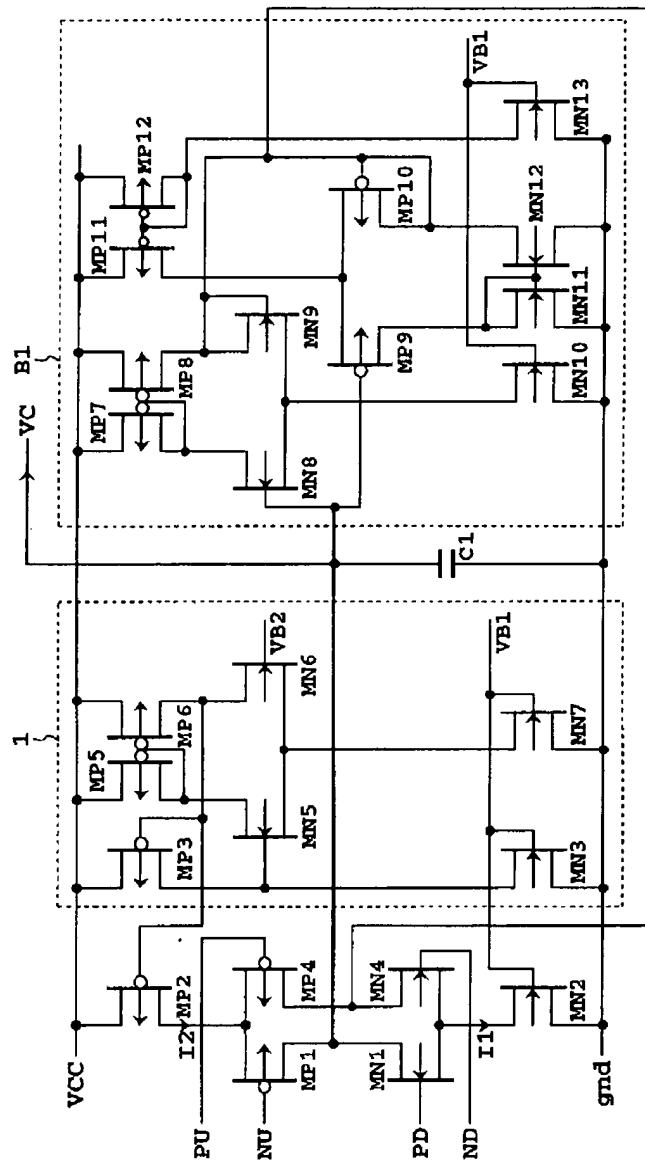
【図7】



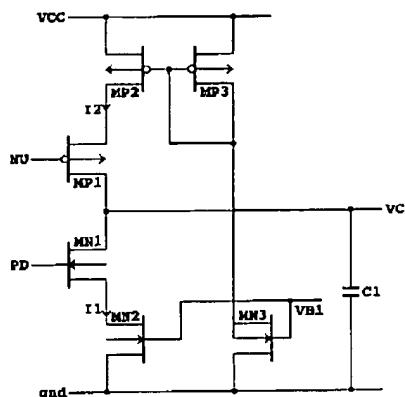
【図2】



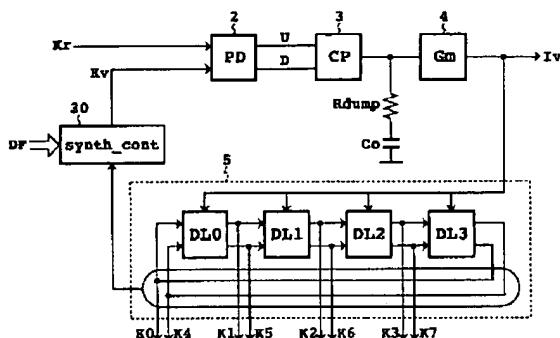
【図3】



[4]

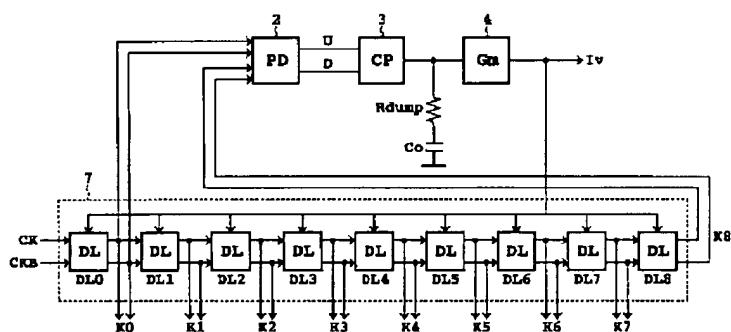


【図5】

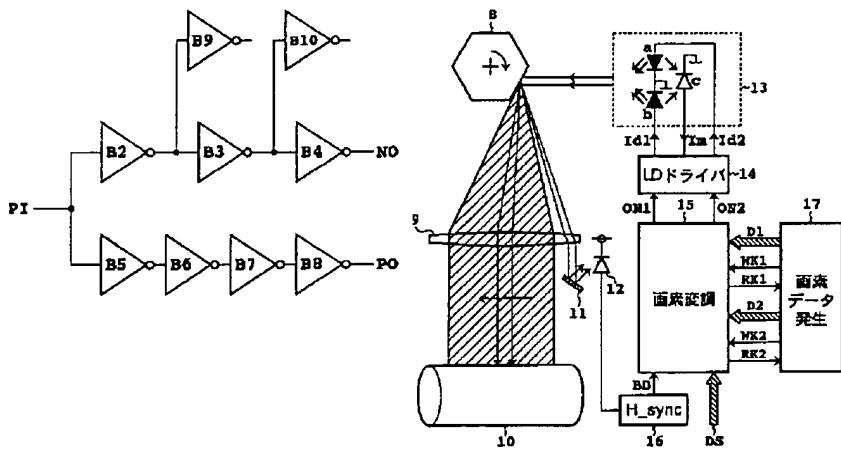


【図8】

【图6】

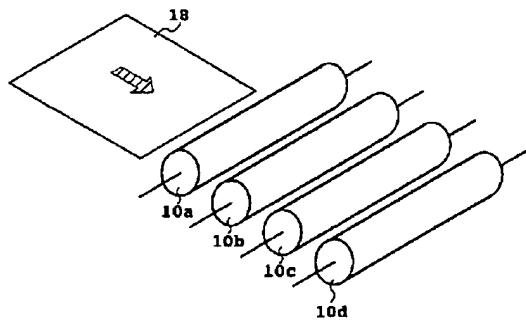


【図9】

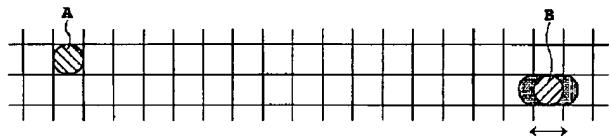


【四】

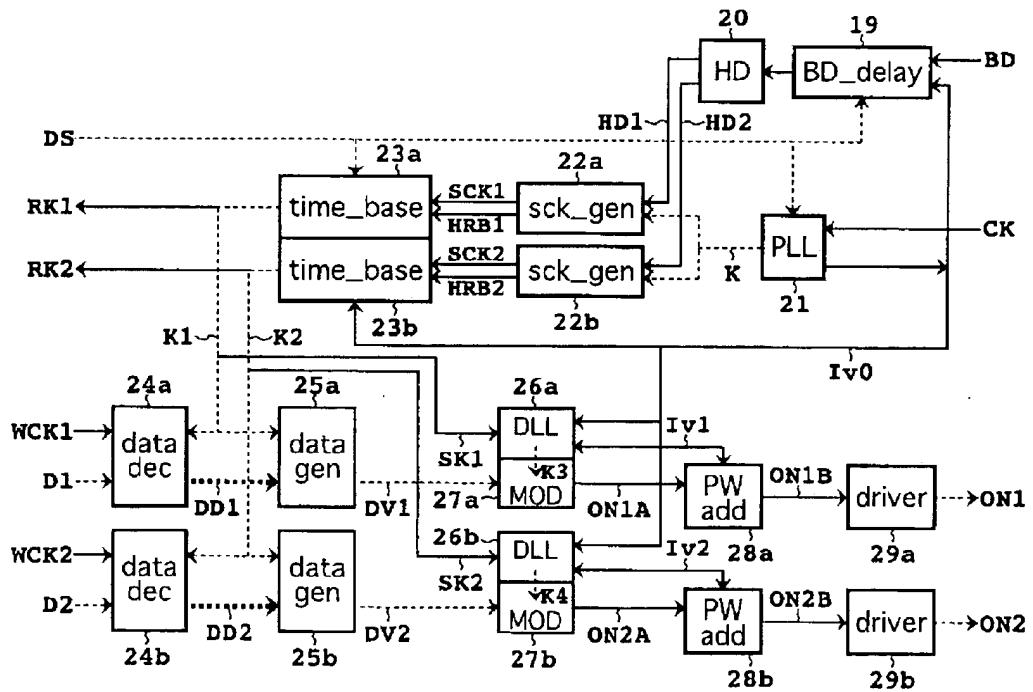
【図11】



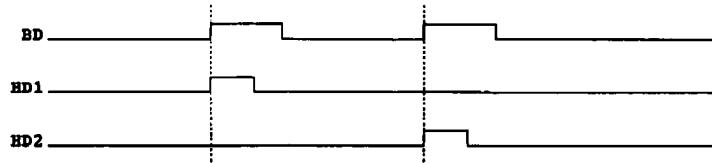
【図12】



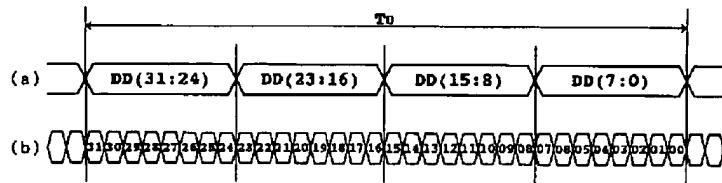
【図13】



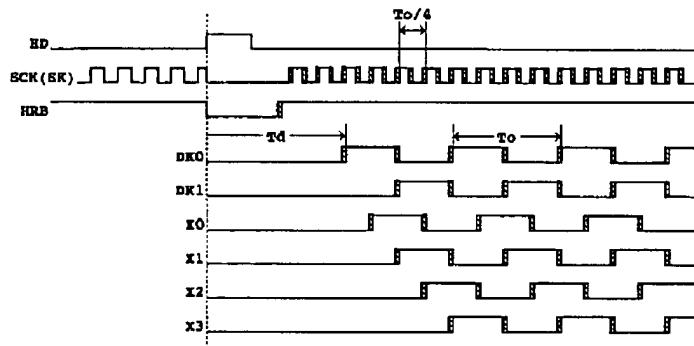
【図14】



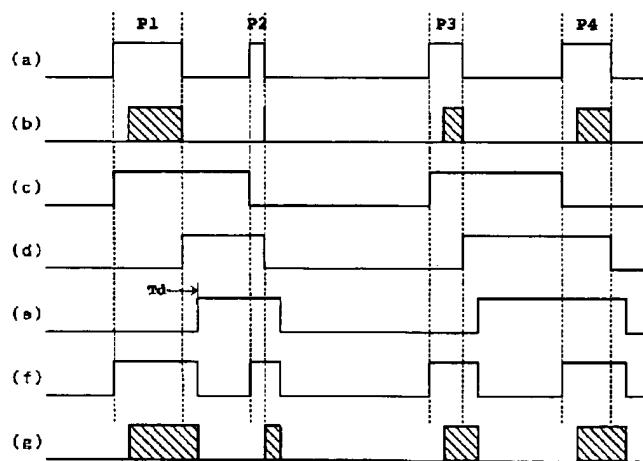
【図15】



【図16】



【図17】



DERWENT-ACC-NO: 2002-376609

DERWENT-WEEK: 200241

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Charge pump circuit for laser printing engine, has N-type and P-type differential transistor pairs to whose sources different current sources are connected and whose drain nodes are tied to same voltage

PATENT-ASSIGNEE: CANON KK[CANO]

PRIORITY-DATA: 2000JP-0224637 (July 25, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2002044936 A	February 8, 2002	N/A	012	H02M 003/07

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2002044936A	N/A	2000JP-0224637	July 25, 2000

INT-CL (IPC): B41J002/44, H02M003/07

ABSTRACTED-PUB-NO: JP2002044936A

BASIC-ABSTRACT:

NOVELTY - A P-type and N-type differential transistor pairs (MP1,MP4,MN1,MN4)

are provided whose respective drains are connected and tied to same voltages.

The sources of the transistors are connected to different current sources.

Two

different differential control signals are fed to gates of the two pairs.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for laser printing engine.

USE - For laser printing engine (claimed).

ADVANTAGE - Makes charge pump operation exact, high speed and stable, increasing accuracy of digital signal processing.

DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of charge pump circuit.

P-type and N-type differential transistor pairs MP1,MP4,MN1,MN4

CHOSEN-DRAWING: Dwg.1/17

**TITLE-TERMS: CHARGE PUMP CIRCUIT LASER PRINT ENGINE N TYPE P TYPE DIFFERENTIAL
TRANSISTOR PAIR SOURCE CURRENT SOURCE CONNECT DRAIN
NODE TIE
VOLTAGE**

DERWENT-CLASS: P75 T04 U24

EPI-CODES: T04-G04; U24-D02A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2002-294494